

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68624

(P2001-68624A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード\* (参考)

H 0 1 L 25/10  
25/11  
25/18  
25/065  
25/07

H 0 1 L 25/14  
25/08

Z  
Z

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-239033

(22) 出願日 平成11年8月26日 (1999.8.26)

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(71) 出願人 000000158

イビデン株式会社  
岐阜県大垣市神田町2丁目1番地

(72) 発明者 井本 孝志

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(74) 代理人 100097629

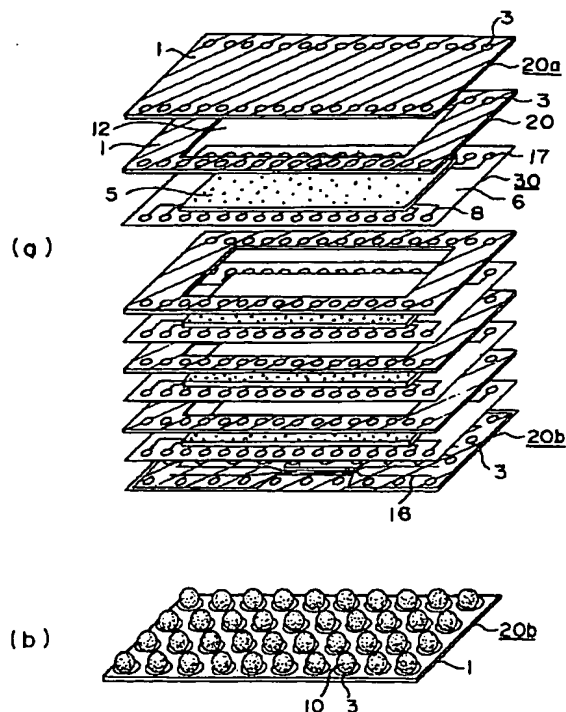
弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 薄く密閉性、弾力性に優れ、製造工程が簡略で容易に形成することが可能な積層型パッケージを用いた半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、接続電極がランド17の下に形成された複数のビア及びこの接続電極に電気的に接続された配線8を備えた複数の配線基板30と、前記配線基板に搭載され前記配線と電気的に接続された半導体素子5と、前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部12を有し、且つ複数のビアに埋め込まれランド3の下に形成された接続電極を備えた複数の導電ビア絶縁基板20とを備えている。半導体素子の厚さは、略30～200μmである。薄い積層型パッケージを有する半導体装置を得ることができる。半導体装置を曲げることにより半導体素子が少し伸びてもチップキャビティ部との間の空間が半導体素子の伸びを吸収する。



## 【特許請求の範囲】

【請求項 1】 それぞれ接続電極が形成された複数のビア及びこの接続電極に電気的に接続された配線を備えた複数の配線基板と、

前記配線基板に搭載され、前記配線と電気的に接続された半導体素子と、

前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、複数のビアに埋め込み形成された接続電極を備えた複数の導電ビア絶縁基板とを具備し、

前記導電ビア絶縁基板の 1 つと前記配線基板の 1 つとは、前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層されて積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体は複数個積層され一体化されてなることを特徴とする半導体装置。

【請求項 2】 それぞれ接続電極が形成された複数のビア及びこの接続電極に電気的に接続された配線を備えた複数の配線基板と、

前記配線基板に搭載され、前記配線と電気的に接続された半導体素子と、

前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、複数のビアに埋め込み形成された接続電極を備えた複数の導電ビア絶縁基板と、

前記配線基板と導電ビア絶縁基板とを積層したときに最上層の導電ビア絶縁基板の上に積層され、複数のビアに埋め込み形成された接続電極を備えた上層の導電ビア絶縁基板とを具備し、

前記導電ビア絶縁基板の 1 つと前記配線基板の 1 つとは、前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層されて積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体は、複数個積層され一体化されてなることを特徴とする半導体装置。

【請求項 3】 前記半導体素子は、その厚さが略 3 0 乃至 2 0 0  $\mu\text{m}$ であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記積層された複数の積層体が積層され、複数のビアに埋め込み形成された接続電極を備えた下層の導電ビア絶縁基板を具備し、前記下層の導電ビア絶縁基板第 1 の面には前記積層体の最下層の配線基板が接触され、前記最下層の配線基板の前記接続電極と前記下層の導電ビア絶縁基板の前記接続電極とが電気的に接続され、前記下層の第 2 面には前記ビアに形成された接続電極と配線を介して電気的に接続された複数の外部端子が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 前記導電ビア絶縁基板の前記チップキャビティ部とこのチップキャビティ部に収納されている前記半導体素子との間には応力を吸収する空間が形成されていることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 前記空間には軟性接着剤が充填されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】 それぞれ接続電極が形成された複数のビア及びこの接続電極に電気的に接続された配線を備えた配線基板を複数個形成する工程と、

前記配線基板に前記配線とは電気的に接続された半導体素子を搭載させる工程と、

前記半導体素子を搭載したときに、この半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、且つ複数のビアに埋め込み形成された接続電極を備え裏面に接着剤層を形成した導電ビア絶縁基板を複数個形成する工程と、

前記導電ビア絶縁基板の 1 つと前記配線基板の 1 つとは、前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層され、前記接着剤によりこれらを接着して積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体を複数個積層させ、これらを一体化する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 8】 主面に形成された配線を備えた配線基板を複数個形成する工程と、

前記配線を備えた配線基板に前記配線と電気的に接続された半導体素子を搭載させる工程と、

前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、裏面に接着剤層を形成した導電ビア絶縁基板を複数個形成する工程と、

前記複数の導電ビア絶縁基板と前記複数の配線基板とを交互に積層させ、前記接着剤によりこれらを接着して積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体を複数個積層させ、これらを一体化する工程と、

前記複数の積層体を積層させた状態でこれらを通するビアを形成し、このビアに接続電極を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 9】 前記配線基板には複数の前記半導体素子を搭載させ、前記導電ビア絶縁基板には複数の前記チップキャビティ部を形成し、これらの前記配線基板と前記導電ビア絶縁基板とを積層して形成した前記積層体を複数個積層して一体化する前記一体化工程の後に前記一体化された積層体を積層方向に切断する工程を具備したことを特徴とする請求項 7 又は請求項 8 に記載の半導体装

置の製造方法。

【請求項 1 0】 前記半導体素子は、その厚さが略 3 0 乃至 2 0 0  $\mu\text{m}$ であることを特徴とする請求項 7 乃至請求項 9 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、複数の半導体素子を積層する積層型パッケージを使用した半導体装置及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】半導体装置は、高密度実装化を目的として半導体素子を積層して用いることが多くなっている。従来用いられている積層パッケージは、例えば、特開平 9 - 2 1 9 4 9 0 号公報、特開平 1 0 - 1 3 5 2 6 7 号公報、特開平 1 0 - 1 6 3 4 1 4 号公報に記載されている。これらの従来のパッケージでは T S O P (Thin Small Outline Package)、T C P (Tape Carrier Package)、B A G (Ball Grid Array) などのパッケージを組み立て完成させた後、各パッケージに予め設けた外部端子を個別に積み重ねることにより、各々を積層し、さらに電気的接続を行っている。すなわち従来の積層型パッケージは、各パッケージの組み立て工程に加え、各パッケージ毎の積層加工工程が加わる。したがって、工程数が積層個数分増加するシーケンシャル工法になり、この工法による加工コストの増加、また個別に積層するスペーサなどの部材を用いることによるコストの増加が大きな問題となっている。

【0 0 0 3】

【発明が解決しようとする課題】また、上記の問題に加えて、別体のパッケージを積み重ねることによりパッケージ毎に接着及び積層界面が生じる、もしくは積層したパッケージの機械的強度は、電気的接続部のみであり、加えて、例えば、特開平 1 0 - 1 6 3 4 1 4 号公報、特開平 1 0 - 1 3 5 2 6 7 号公報などに記載されている従来例では半導体素子がフロート構造であるので機械的強度の確保が困難であり、十分な信頼性を確保することができないという問題がある。さらに、今後高密度化と共に薄型化が進んで I C カードや携帯電話などの用途拡大が進む半導体装置の開発に向けて厚さが 3 0 乃至 2 0 0  $\mu\text{m}$ 程度の薄型の半導体チップに適した薄い積層型パッケージを形成するには前述した従来の方法で形成することは困難であり、また、I C カードのように弾力性のある媒体に用いるには弾力性に乏しく適用性に問題があった。本発明は、このような事情によりなされたものであり、薄く密閉性、弾力性にすぐれ、製造工程が複雑でなく容易に形成することが可能な積層型パッケージを用いた半導体装置及びその製造方法を提供する。

【0 0 0 4】

【課題を解決するための手段】本発明の半導体装置は、それぞれ接続電極が形成された複数のビア及びこの接続

電極に電気的に接続された配線を備えた複数の配線基板と、前記配線基板に搭載され前記配線と電気的に接続された半導体素子と、前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、且つ複数のビアに埋め込み形成された接続電極を備えた複数の導電ビア絶縁基板とを具備し、前記導電ビア絶縁基板の 1 つと前記配線基板の 1 つとは前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層されて積層体を構成し前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体は複数個積層され一体化されてなることを第 1 の特徴としている。

【0 0 0 5】また、本発明の半導体装置は、それぞれ接続電極が形成された複数のビア及びこの接続電極に電気的に接続された配線を備えた複数の配線基板と、前記配線基板に搭載され前記配線と電気的に接続された半導体素子と、前記半導体素子を搭載したときにこの半導体素子が収容される半導体素子容積より大きいチップキャビティ部を有し、複数のビアに埋め込み形成された接続電極を備えた複数の導電ビア絶縁基板と、前記配線基板と導電ビア絶縁基板とを積層したときに最上層の導電ビア絶縁基板の上に積層され、複数のビアに埋め込み形成された接続電極を備えた上層の導電ビア絶縁基板とを具備し、前記導電ビア絶縁基板の 1 つと前記配線基板の 1 つとは、前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層されて積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に収容された状態でこの積層体は、複数個積層され一体化されてなることを第 2 の特徴としている。前記半導体素子の厚さは、略 3 0 ~ 2 0 0  $\mu\text{m}$ であっても良い。

【0 0 0 6】前記積層された複数の積層体が積層され、複数のビアに埋め込み形成された接続電極を備えた下層の導電ビア絶縁基板を具備し、前記下層の導電ビア絶縁基板第 1 の面には前記積層体の再下層の配線基板が接触され、前記再下層の配線基板の前記接続電極と前記下層の導電ビア絶縁基板の前記接続電極とが電気的に接続され、前記下層の第 2 面には前記ビアに形成された接続電極と配線を介して電気的に接続された複数の外部端子が形成されているようにしても良い。前記導電ビア絶縁基板の前記チップキャビティ部とこのチップキャビティ部に収納されている前記半導体素子との間には応力を吸収する空間が形成されているようにしても良い。前記空間には軟性接着剤が充填されているようにしても良い。

【0 0 0 7】以上のような構成により、薄い積層型パッケージを有する半導体装置を得ることができる。また、積層型パッケージは、その上下を導電ビア絶縁基板により挟まれているので、半導体素子に対する密閉性が高く

10

20

30

40

50

なっている。また、導電ビア絶縁基板に形成されているチップキャビティ部には半導体素子が收容されているが、チップキャビティ部の厚さ及び面積は半導体素子より小さいのでこの中に半導体素子が收容されても半導体素子とチップキャビティ部の内壁との間には空間が形成されている。例えば、この半導体装置を曲げることにより半導体素子が少し伸びてもチップキャビティ部との間には空間があり、この空間が半導体素子の伸びを吸収することができる。したがって、半導体装置に外力が加わっても発生する応力を吸収することが可能になる。さらに、この空間には導電ビア絶縁基板と配線基板とを接合する接着材が充填されることになるが、とくにシリコン樹脂などの軟性の接着材を用いると、応力の吸収が可能になるとともに密封性が向上して半導体装置の耐湿性が向上する。

【0008】本発明の半導体装置の製造方法は、それぞれ接続電極が形成された複数のビア及びこの接続電極に電気的に接続された配線を備えた配線基板を複数個形成する工程と、前記配線基板に前記配線と電気的に接続された半導体素子を搭載させる工程と、前記半導体素子を搭載したときにこの半導体素子が收容される半導体素子容積より大きいチップキャビティ部を有し、複数のビアに埋め込み形成された接続電極を備え、裏面に接着剤層を形成した導電ビア絶縁基板を複数個形成する工程とを具備し、前記導電ビア絶縁基板の1つと前記配線基板の1つとは、前記配線基板に前記導電ビア絶縁基板の前記接続配線とこの配線基板の前記接続電極とが電気的に接続されるように積層され、前記接着剤によりこれらを接着して積層体を構成し、前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に收容された状態でこの積層体を複数個積層させ、これらを一体化する工程とを具備したことを第1の特徴としている。

【0009】また、本発明の半導体装置の製造方法は、主面に形成された配線を備えた配線基板を複数個形成する工程と、前記配線基板に前記配線と電気的に接続された半導体素子を搭載させる工程と、前記半導体素子を搭載したときにこの半導体素子が收容される半導体素子容積より大きいチップキャビティ部を有し、裏面に接着剤層を形成した導電ビア絶縁基板を複数個形成する工程と、前記複数の導電ビア絶縁基板と前記複数の配線基板とを交互に積層させ、前記接着剤によりこれらを接着して積層体を構成し前記配線基板に搭載された前記半導体素子が前記チップキャビティ部に完全に收容された状態でこの積層体を複数個積層させ、これらを一体化する工程と、前記複数の積層体を積層させた状態でこれら貫通するビアを形成し、このビアに接続電極を形成する工程とを具備したことを第2の特徴としている。前記配線基板には複数の前記半導体素子を搭載させ、前記導電ビア絶縁基板には複数の前記チップキャビティ部を形成し、これらの前記配線基板と前記導電ビア絶縁基板とを積層

して形成した前記積層体を複数個積層して一体化する前記一体化工程の後に前記一体化された積層体を積層方向に切断する工程をさらに具備するようにしても良い。半導体素子層とこれを支持する配線基板及び導電ビア絶縁基板とを一括して積層し、切断することにより、従来のパッケージを積層する技術より少ない工程数で製造することが可能になる。

【0010】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1を参照して第1の実施例である積層型パッケージを用いた半導体装置を説明する。図1(a)は、積層型パッケージを用いた半導体装置の斜視図、図1(b)は、積層型パッケージの下層の導電ビア積層板の外部端子を示す斜視図である。この実施例は4つの半導体素子を積層した例であるが、本発明では積層する半導体素子の数は4個に限定されない。2個以上の必要とする個数を積層させることができる。パッケージは、半導体素子5を收容する導電ビア積層板20、半導体素子5を搭載させる配線基板30、パッケージを密封する上層の導電ビア積層板20a及び外部端子10を有する下層の導電ビア積層板20bから構成されている。すなわち、パッケージは、上層及び下層の導電ビア積層板20a、20bの間に導電ビア積層板20と配線基板30との積層体が複数層積層され、加熱加圧されて一体に構成されている(図5参照)。

【0011】半導体素子を搭載する配線基板30は、厚さ40 $\mu$ m程度の銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板6を用いる。絶縁板6にはビアに接続電極7(図4(b)参照)が埋め込まれている。絶縁板6上の銅箔は、接続電極7上のランド17とその他の領域に形成され、半導体素子5と電気的に接続された配線8とを有する形状にパターニングされている。半導体素子5の厚さ(シリコンチップの厚さ)は、約30~200 $\mu$ mであり、好ましくは約50~150 $\mu$ mである。導電ビア積層板20は、厚さ75 $\mu$ m程度の銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板1を用いる。絶縁板1にはビアに接続電極2(図4(a)参照)が埋め込まれている。絶縁板1上の銅箔は、接続電極2上のランド3とその他の領域に形成された配線16とを有する形状にパターニングされている。絶縁基板1の中央部分には半導体素子を收容する開口部(チップキャビティ部)12が形成されている。

【0012】本発明においては、導電ビア積層板20の厚さは、開口部12に半導体素子5が收容される大きさなら配線基板30と同じ厚さであっても薄くても良い。このとき導電ビア積層板には接着材4が塗布されているので一体化処理を行うと接着剤4がチップキャビティ部12に充填されるようになる。上層の導電ビア積層板20aは、配線とランドとを有し、ビアに接続電極が埋め込まれている。接続電極上にはランド3が形成されてい

る。また、下層の導電ビア積層板20bは、配線とランドとを有し、裏面には外部端子10が形成されている。

【0013】この実施例の半導体装置は、以上のような構成により、薄い積層型パッケージを有する半導体装置を得ることができる。また、積層の上下を導電ビア積層板により挟まれているので、半導体素子に対する密閉性が高くなっている。また、導電ビア積層板に形成されているチップキャビティ部には半導体素子が收容されているが、チップキャビティ部の厚さ及び面積は半導体素子より小さいのでこの中に半導体素子が收容されても半導体素子とチップキャビティ部の内壁との間には空間が形成されている。例えば、この半導体装置を曲げることにより半導体素子が少し伸びてもチップキャビティ部との間には空間があり、この空間が半導体素子の伸びを吸収することができる。したがって、半導体装置に外力が加わっても発生する応力を吸収することが可能になる。さらに、この空間に積層された導電ビア積層板と配線基板とを接合するエラストマーなどの軟性の接着材が充填されることになるが、とくにシリコン樹脂などの軟性の接着材を用いると、応力の吸収が可能になるとともに密封性が向上して半導体装置の耐湿性が向上する。

【0014】次に、図2乃至図5を参照して第2の実施例を説明する。図2乃至図5は、図1に示される半導体装置の部分断面図及びこの半導体装置の製造工程断面図であり、複数の半導体素子が積層された半導体装置の製造方法を説明する製造工程断面図である。この半導体装置は、半導体素子5を搭載する複数の配線基板30と、配線基板30に搭載された半導体素子5を收容する空間を有する開口部12を備えた複数の導電ビア積層板20とを具備し、これら導電ビア積層板20と配線基板30とを交互に積層することにより、半導体素子の積層構造を実現している。

【0015】導電ビア積層板20には銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板1を用いる。まず、プリント積層板などの絶縁板1上のビア及び配線が形成される部分の銅箔プリント積層板などの絶縁板1は、YAGレーザ、炭酸ガスレーザなどを用いて複数のビア13を形成する。この後、ビア及び配線部分の銅箔15にマスク14を施して、これをエッチングし、配線パターン16及びランド3を形成する。そして、ビア13には銀又は銅フィラー入りの導電性樹脂ペーストをスクリーン印刷することにより接続電極2を埋め込む。接続電極2の形成方法には、ビア内壁に銅メッキもしくは金メッキを施してからビア内に導電性材料を埋め込む方法も可能である。プリント積層板などの絶縁板1の裏面には、エポキシ樹脂などの熱硬化型接着材4が塗布されている。プリント積層板などの絶縁板1の半導体素子が收容される領域は、打ち抜かれ、チップキャビティ部12として用いられる(図2)。

【0016】半導体素子5を搭載する配線基板30に

は、銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板6を用いる。絶縁板6上のビア及び配線が形成される部分の銅箔プリント積層板からなる絶縁板6は、YAGレーザ、炭酸ガスレーザなどを用いて複数のビアを形成する。この後、ビア及び配線部分の銅箔にマスクを施して、これをエッチングし、配線パターン8及びランド17を形成する。そして、ビアには銀又は銅フィラー入りの導電性樹脂ペーストをスクリーン印刷することにより接続電極7を埋め込む。接続電極7の形成方法には、ビア内壁に銅メッキもしくは金メッキを施してからビア内に導電性材料を埋め込む方法も可能である。この配線基板30にフリップチップ工法などにより半導体素子(チップ)5をダイボンディングして搭載させる。半導体素子5を配線基板30に搭載するには、はんだボールなどの接続端子11を配線パターン8に接続してなる。接続端子11は、アンダーフィル樹脂9により被覆保護する(図3)。そして、この配線基板30に導電ビア積層板20を位置合せを行って半導体素子5がチップキャビティ部12に配置されるように積層させる(図4)。続いて、位置合せを行ってから積層体を真空プレスなど加熱圧縮機により接着材4の硬化温度でプレスする。最後に各パッケージ外形に沿ってブレード、ルータなどで切断して積層パッケージを形成する(図5)。

【0017】この実施例では導電ビア積層板20に複数のチップキャビティ部を形成し、配線基板30に複数の半導体素子を搭載させ、これらを交互に積層させて複数の半導体素子積層体を形成し、最終的に各半導体素子積層体毎にブレードして積層パッケージ形成の効率化を計っている。この実施例においては、図5に示されるように、半導体素子5は、例えば、4個積層されて積層体が構成される。この積層体の上下にはチップキャビティ部が形成されていない導電ビア積層板20a、20bに挟まれて半導体素子5が密閉されるようになっている。下層の導電ビア積層板20bには適宜な形状の外部端子が形成されている。半導体素子層とこれを支持する配線基板及び導電ビア絶縁基板とを一括して積層し、切断することにより、従来のパッケージを積層する技術より少ない工程数で製造することが可能になる。

【0018】次に、図6及び図7を参照して第3の実施例を説明する。図6及び図7は、複数の半導体素子が積層された半導体装置の製造方法を説明する製造工程断面図である。この半導体装置は、半導体素子25を搭載する複数の配線基板50と、配線基板50に搭載された半導体素子25を收容する空間を有する開口部32を備えた複数の導電ビア積層板40とを具備し、これら導電ビア積層板40と配線基板50とを交互に積層することにより、半導体素子の積層構造を実現している。導電ビア積層板40には銅箔付きポリイミド基板もしくはプリント積層板などの絶縁板21を用いる。まず、プリント積層板1上のビア及び配線が形成される部分の銅箔プリ

10

20

30

40

50

ント積層板 1 は、ビア及び配線部分の銅箔にマスクを施して、これをエッチングし、ランド 23 を形成する。プリント積層板 1 の裏面には、エポキシ樹脂などの熱硬化型接着材 24 が塗布されている。プリント積層板 21 の半導体素子が収容される領域は、打ち抜かれ、チップキャビティ部 32 として用いられる。この実施例では 2 つのチップキャビティ部を有している。本発明においては、製造工程の効率化を計るために 2 つ以上のチップキャビティ部を導電ビア積層板に設けておくことが有利である。

【0019】半導体素子 25 を搭載する配線基板 30 には、銅箔層付きポリイミド基板もしくはプリント積層板などの絶縁板 26 を用いる。プリント積層板 26 のビア及び配線部分の銅箔にマスクを施して、これをエッチングし、配線パターン 28 及びランド 37 を形成する。この配線基板 50 にフリップチップ工法などにより半導体素子（チップ）25 をダイボンドして搭載させる。この実施例では配線基板 50 に 2 つの半導体素子 25 を搭載している。そして、この配線基板 50 に導電ビア積層板 40 を位置合せを行って半導体素子 25 がチップキャビティ部 32 に配置されるように積層させる。続いて、位置合せを行ってから積層体を真空プレスなど加熱圧縮機により接着材 24 の硬化温度でプレスする。接着材 24 を硬化させてからビアを形成するランド 23、37 に口径 0.25 mm から 0.4 mm 程度のドリルを用いてこれらランドを貫通するスルーホール 33 を形成する。その後スルーホール 33 の内部及びランド上に銅、金などの電気メッキを施し、接続電極 31 を形成する。最後に各パッケージ外形に沿ってブレード、ルータなどで切断して積層パッケージを形成する。

【0020】この実施例では導電ビア積層板 40 に複数のチップキャビティ部を形成し、配線基板 50 に複数の半導体素子を搭載させ、これらを交互に積層させて複数の半導体素子積層体を形成し、最終的に各半導体素子積層体毎にブレードして積層パッケージ形成の効率化を計っている。この実施例においては半導体素子 25 は、例えば、4 個積層されて積層体が構成される。この積層体の上下にはチップキャビティ部が形成されていない導電ビア積層板 40 a、40 b に挟まれて半導体素子 25 が密閉されるようになっている。下層の導電ビア積層板 40 b には裏面に適宜の形状の外部端子が形成されている。半導体素子層とこれを支持する配線基板及び導電ビア絶縁基板とを一括して積層し、切断することにより、従来のパッケージを積層する技術より少ない工程数で製造することが可能になる。

【0021】次に、図 8 を参照して第 4 の実施例を説明する。図 8 は、半導体装置の断面図である。この実施例では図 7 に示す第 3 の実施例と同じ半導体装置に処理を施している。この半導体装置は、半導体素子 25 を搭載する複数の配線基板 50 と、配線基板 50 に搭載された

半導体素子 25 を収容する空間、チップキャビティ部 32 を備えた複数の導電ビア積層板 40 とを具備し、これら導電ビア積層板 40 と配線基板 50 とを交互に積層することにより、半導体素子の積層構造を実現している。この実施例では半導体素子 25 は、例えば、4 個積層されて積層体が構成される。この積層体の上下にはチップキャビティ部が形成されていない導電ビア積層板 40 a、40 b に挟まれて半導体素子 25 が密閉されるようになっている。

10 【0022】この積層体には、各半導体素子 25 に配線を介して接続される接続電極 31 が積層体のビア内部に形成されている。接続線 31 は、グランド（GND）線に繋がる接続電極 31 a、信号線に繋がる接続電極 31 b、31 c から構成されている。さらに、上層及び下層の導電ビア積層板 40 a、40 b には、アルミニウムや銅などの金属膜 33 が形成されている。金属膜は、例えば、スパッタリング法により形成したり、金属箔から形成される。この金属膜 33 は、グランド線に繋がる接続電極 31 a に電氣的に接続され、信号線に繋がる接続電極 31 b、31 c とは非接触の状態にある。金属膜 33 は、グランド線に接続することによりシールド効果を有するようになる。金属膜の材料や厚さ、接続電極の材料や幅などを適宜調整することによりこの効果を調整できる。

20 【0023】次に、図 9 を参照して第 5 の実施例を説明する。図 9 は、半導体装置及びこの半導体装置に組み込まれる半導体素子の断面図である。この実施例では図 7 に示す第 3 の実施例と同じ半導体装置に処理を施している。この半導体装置は、半導体素子 25 を搭載する複数の配線基板 50 と、配線基板 50 に搭載された半導体素子 25 を収容する空間、チップキャビティ部 32 を備えた複数の導電ビア積層板 40 とを具備し、これら導電ビア積層板 40 と配線基板 50 とを交互に積層することにより、半導体素子の積層構造を実現している。この実施例では半導体素子 25 は、例えば、4 個積層されて積層体が構成される。この積層体の上下にはチップキャビティ部が形成されていない導電ビア積層板 40 a、40 b に挟まれて半導体素子 25 が密閉されるようになっている。この半導体装置に用いられる半導体素子 25 は、シリコンチップ a、b、c、d をそれぞれに取り付けた接続電極である bumps 34 を介して順次積層されて構成されている。この実施例では第 1 乃至第 4 の実施例の半導体装置よりもさらに多層にすることが可能でありしかも薄い積層パッケージを得ることができる。

30 【0024】

【発明の効果】本発明は、以上の構成により、薄い積層型パッケージを有する半導体装置を得ることができる。また、積層型パッケージは、その上下を導電ビア絶縁基板により挟まれているので、半導体素子に対する密閉性を高くすることができる。また、導電ビア絶縁基板に形

成されているチップキャビティ部には半導体素子が収容されているが、チップキャビティ部の厚さ及び面積は半導体素子より小さいのでこの中に半導体素子が収容されても半導体素子とチップキャビティ部の内壁との間には空間が形成されている。したがって、半導体装置に外力が加わっても発生する応力を吸収することが可能になる。さらに、この空間には導電ビア絶縁基板と配線基板とを接合する接着材が充填され、とくにシリコン樹脂などの軟性の接着材を用いた場合に、応力の吸収が可能になるとともに密封性が向上して半導体装置の耐湿性が向上する。また、半導体素子層とこれを支持する配線基板及び導電ビア絶縁基板とを一括して積層し、切断することにより、従来のパッケージを積層する技術より少ない工程数で製造することが可能になる。

【図面の簡単な説明】

【図1】第1の実施例の半導体装置及び導電ビア絶縁基板の斜視図。

【図2】第2の実施例の導電ビア絶縁基板の断面図。

【図3】第2の実施例の配線基板の断面図。

【図4】第2の実施例の半導体装置の製造工程断面図。 20

【図5】第2の実施例の半導体装置の製造工程断面図。

【図6】第3の実施例の半導体装置の製造工程断面図。

【図7】第3の実施例の半導体装置の製造工程断面図。

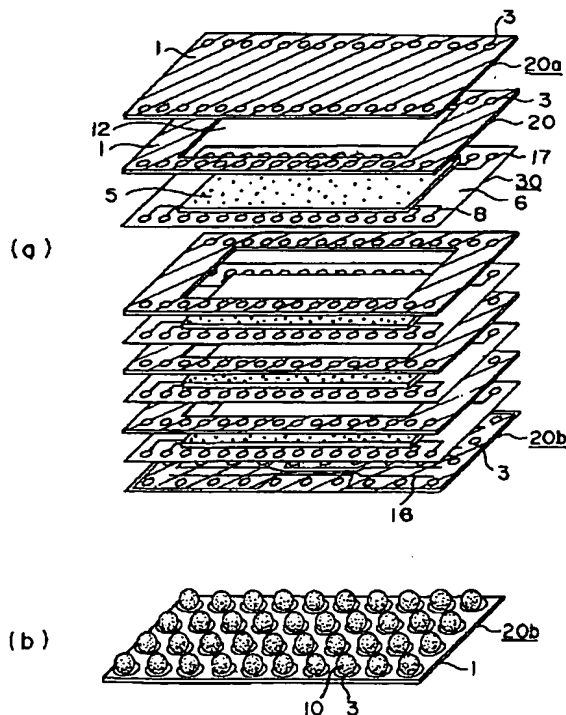
【図8】第4の実施例の半導体装置の断面図。

【図9】第5の実施例の半導体装置及び半導体素子の断面図。

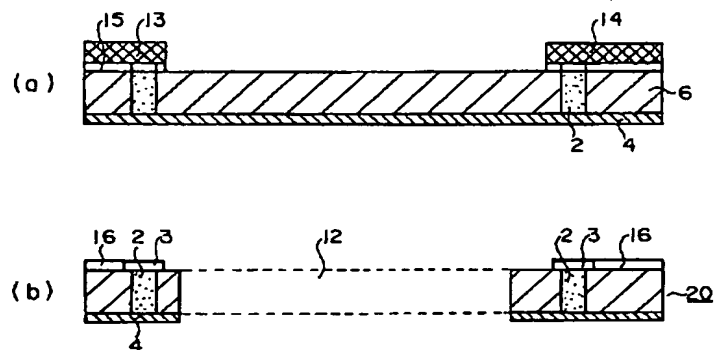
【符号の説明】

1、6、21、26・・・絶縁板、 2、7、31、31a、31b、31c・・・接続電極、 3、17、23、37・・・ランド、 4、24・・・接着材、 5、25・・・半導体素子、 8、16、28・・・配線、 9・・・アンダーフィル樹脂、 10・・・外部端子、 11・・・接続端子（はんだボール）、 12、32・・・チップキャビティ部、 13・・・ビア、 14・・・マスク、 15・・・銅箔、 20、20a、20b、40、40a、40b・・・導電ビア絶縁基板、 25a、25b、25c、25d・・・シリコンチップ、 30、50・・・配線基板、 33・・・スルーホール。

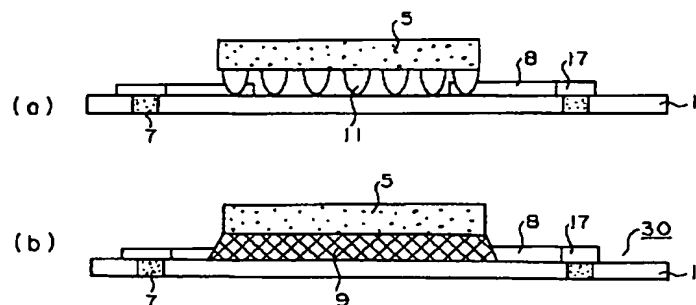
【図1】



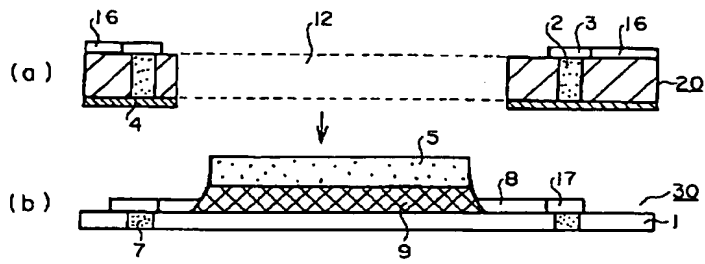
【図2】



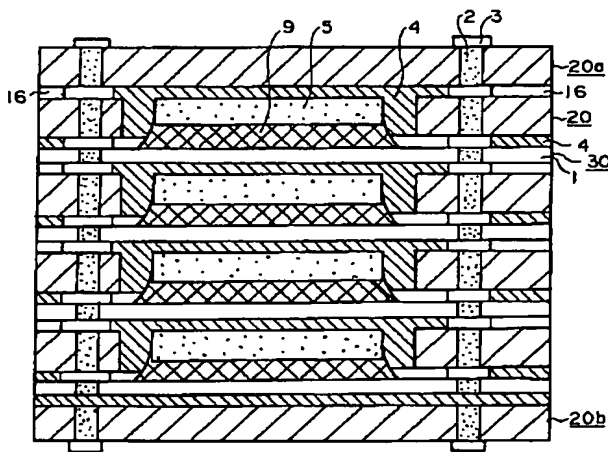
【図3】



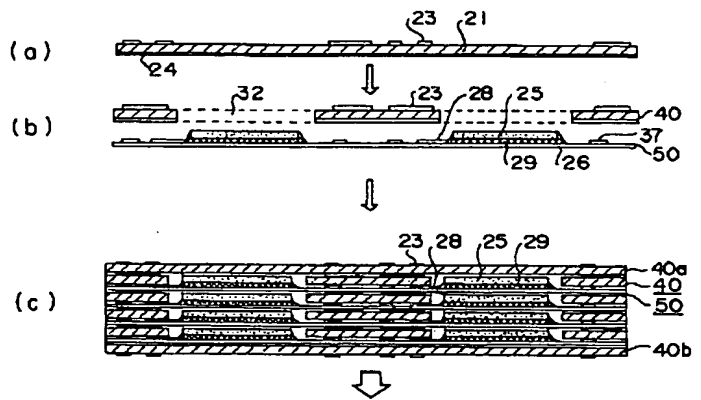
【図 4】



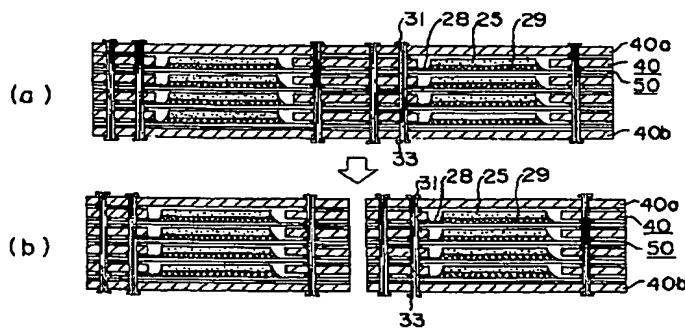
【図 5】



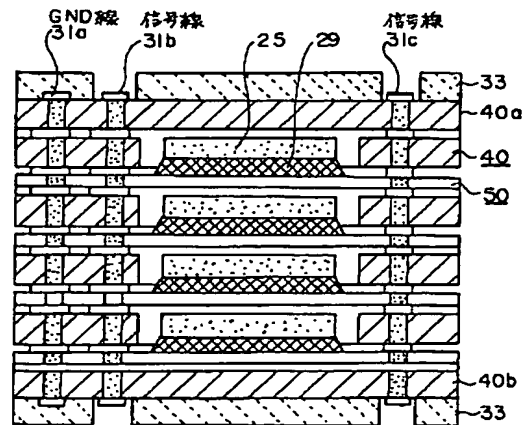
【図 6】



【図 7】



【図 8】



【図 9】

